

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-245438**

(43)Date of publication of application : **02.09.1992**

(51)Int.CI. **H01L 21/331
H01L 29/73
H01L 21/302
H01L 27/06**

(21)Application number : **03-010434**

(71)Applicant : **NEC CORP**

(22)Date of filing : **31.01.1991**

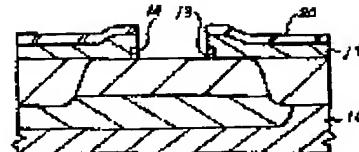
(72)Inventor : **IWAMOTO YASUHIKO**

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent plasma damage and sputtering damage from being caused at a base region and an emitter region and to enhance the characteristic of a transistor by a method wherein a laminated-film pattern is formed on an element-formation region.

CONSTITUTION: A laminated film where a silicon oxide film 13 and a silicon nitride film 14 have been laminated and patterned is formed on an element-formation region; a polycrystalline silicon film 19 for base extraction electrode use and a silicon oxide film 20 are laminated sequentially on the surface including the laminated film. Then, the silicon oxide film 20, the polycrystalline silicon film 19 and the silicon nitride film 14 are selectively etched sequentially by a reactive ion etching operation; the silicon oxide film 13 is wet-etched; an opening part is formed. Since an N-type epitaxial layer 12 does not come into contact with the polycrystalline silicon film at this time, a sufficient selective ratio can be obtained, and the silicon oxide film 13 can be wet-etched and removed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開号

特開平4-245438

(43)公開日 平成4年(1992)9月2日

(51)Int.Cl. ³	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/331				
29/73				
21/302	J 7353-4M 7377-4M 7210-4M	H 01 L 29/ 72 27/ 06	1 0 1 B	
				審査請求 未請求 請求項の数1(全6頁) 最終頁に統く

(21)出願番号 特願平3-10434

(22)出願日 平成3年(1991)1月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 岩本 泰彦

東京都港区芝五丁目7番1号日本電気株式
会社内

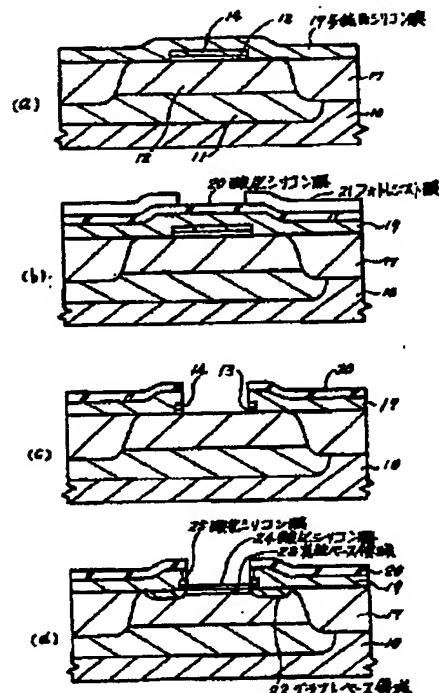
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】 素子形成領域上に酸化シリコン膜13と窒化シリコン膜14を積層してバターニングした積層膜を設け、積層膜を含む表面にベース引出電極用の多結晶シリコン膜19及び酸化シリコン膜20を順次堆積する。次に、酸化シリコン膜20、多結晶シリコン膜19、窒化シリコン膜14を反応性イオンエッティングで選択的に順次エッティングし、酸化シリコン膜13をウェットエッティングして開孔部を設ける。

【効果】 開孔部の素子形成領域の表面をイオンエッティングで荒らすことができないため、真性ベース領域やエミッタ領域のプラズマダメージやスパッタダメージの発生を防止してトランジスタの特性を向上させる。



【特許請求の範囲】

【請求項1】 一導電型半導体基板上に逆導電型の埋込層及び前記埋込層を含む表面に逆導電型のエピタキシャル層を形成する工程と、前記エピタキシャル層の表面に第1の絶縁膜、第1の耐酸化性絶縁膜、第1の多結晶シリコン膜及び第2の耐酸化性絶縁膜を順次堆積してバーニングした積層膜を形成する工程と、前記積層膜をマスクとして前記エピタキシャル層を酸化し前記埋込層に達する素子分離用のフィールド酸化膜を形成すると同時に前記第1の多結晶シリコン膜の側面を酸化して酸化シリコン膜を形成する工程と、前記第2の耐酸化性絶縁膜及び酸化シリコン膜を除去し第1の多結晶シリコン膜をマスクとして第1の耐酸化性絶縁膜及び第1の絶縁膜を順次エッチングし除去する工程と、前記第1の多結晶シリコン膜を除去した後前記第1の耐酸化性絶縁膜を含む表面に一導電型の不純物を含む第2の多結晶シリコン膜及び第2の絶縁膜を順次堆積する工程と、前記第2の絶縁膜、第2の多結晶シリコン膜、第1の耐酸化性絶縁膜、第1の絶縁膜を選択的に順次エッチングして開孔部を設ける工程と、前記開孔部内のエピタキシャル層の表面及び第2の多結晶シリコン膜の側面を酸化して酸化シリコン膜を形成すると同時に前記第2の多結晶シリコン膜からエピタキシャル層の表面に不純物を拡散して一導電型のグラフトベース領域を設ける工程と、前記第2の絶縁膜及び第2の多結晶シリコン膜をマスクとして開孔部のエピタキシャル層に前記グラフトベース領域と接続する真性ベース領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関するもので、特にバイポーラトランジスタを有する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 高速論理動作に適したバイポーラ型トランジスタは、垂直方向での接合深さを浅くしたり、埋込酸化膜や溝の構造などの素子分離層を設けて、基板とコレクタ間の寄生容量を低減し、また、微細リソグラフィ技術と自己整合技術とにより、ベース・コレクタ間及びベース・エミッタ間の寄生容量を低減し、また、ベース抵抗を低減させるなど、種々の方法を用いて性能の向上を行なっている。

【0003】 バイポーラトランジスタの微細化・高速化を図るひとつの方法として多結晶シリコンを用いた自己整合技術がある。

【0004】 図6(a)～(d)は従来の半導体装置の製造方法を説明するための工程順に示した半導体チップの断面図である。

【0005】 まず、図6(a)に示すように、p型シリコン基板10にn⁻型埋込層11を形成した後、その上

にn⁻型エピタキシャル層12を成長させる。次に、素子分離用のフィールド酸化膜17を形成して素子形成領域を区画する。次に、n⁻型エピタキシャル層12の上にベース引き出し用のp⁻型多結晶シリコン膜31を形成する。

【0006】 次に、図6(b)に示すように、p⁻型多結晶シリコン膜31上に酸化シリコン膜32を堆積し、酸化シリコン膜32及びp⁻型多結晶シリコン膜31を選択的に順次エッチングして開孔部を設ける。

【0007】 次に、図6(c)に示すように、熱酸化により開孔部内のp⁻型多結晶シリコン膜31の側面及びn⁻型エピタキシャル層12の表面に酸化シリコン膜33を形成する。このとき、同時に多結晶シリコン膜31からp型の不純物がn⁻型エピタキシャル層12中に拡散され、グラフトベース領域22が形成される。次に、酸化シリコン膜32及びp⁻型多結晶シリコン膜31をマスクとしてホウ素イオンをイオン注入し、真性ベース領域23を形成する。

【0008】 次に、図6(d)に示すように、開孔部を含む表面に窒化シリコン膜26を堆積してエッチバックし開孔部の側面にのみ窒化シリコン膜26を残す。次に、窒化シリコン膜26をマスクに酸化シリコン膜33をエッチングしてエミッタ拡散用窓を開孔し、このエミッタ拡散用窓を含む表面に、n型不純物を含む多結晶シリコン膜28を選択的に設けてエミッタ電極を形成し、多結晶シリコン膜28より不純物を真性ベース領域23の表面に拡散してエミッタ領域27を形成する。

【0009】

【発明が解決しようとする課題】 上述した従来の半導体装置の製造方法では、ベース引出電極用のp⁻型多結晶シリコン膜31のエッチングに加工精度のよい反応性イオンエッチング法を用いると、将来活性ベース領域及びエミッタ領域を形成するn⁻型エピタキシャル層12の表面にプラズマダメージやスパッタダメージが生ずるという問題がある。

【0010】 また、ウェットエッチング法を用いた場合には、プラズマダメージやスパッタダメージを防止できる反面、寸法加工精度が低下するという問題がある。

【0011】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、一導電型半導体基板上に逆導電型の埋込層及び前記埋込層を含む表面に逆導電型のエピタキシャル層を形成する工程と、前記エピタキシャル層の表面に第1の絶縁膜、第1の耐酸化性絶縁膜、第1の多結晶シリコン膜及び第2の耐酸化性絶縁膜を順次堆積してバーニングした積層膜を形成する工程と、前記積層膜をマスクとして前記エピタキシャル層を酸化し前記埋込層に達する素子分離用のフィールド酸化膜を形成すると同時に前記第1の多結晶シリコン膜の側面を酸化して酸化シリコン膜を形成する工程と、前記第2の耐酸化性絶縁膜及び

(3)

(3)

酸化シリコン膜を除去し第1の多結晶シリコン膜をマスクとして第1の耐酸化性絶縁膜及び第1の絶縁膜を順次エッティングし除去する工程と、前記第1の多結晶シリコン膜を除去した後前記第1の耐酸化性絶縁膜を含む表面に一導電型の不純物を含む第2の多結晶シリコン膜及び第2の絶縁膜を順次堆積する工程と、前記第2の絶縁膜、第2の多結晶シリコン膜、第1の耐酸化性絶縁膜、第1の絶縁膜を選択的に順次エッティングして開孔部を設ける工程と、前記開孔部内のエピタキシャル層の表面及び第2の多結晶シリコン膜の側面を酸化して酸化シリコン膜を形成すると同時に前記第2の多結晶シリコン膜からエピタキシャル層の表面に不純物を拡散して一導電型のグラフトベース領域を設ける工程と、前記第2の絶縁膜及び第2の多結晶シリコン膜をマスクとして開孔部のエピタキシャル層に前記グラフトベース領域と接続する真性ベース領域を形成する工程とを含んで構成される。

【0012】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0013】図1(a)～(d)及び図2(a)～(d)並びに図3(a)、(b)は本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図である。

【0014】まず、図1(a)に示すように、p型シリコン基板10の一主面にn⁻型埋込層11を形成し、n⁻型埋込層11を含む表面にn⁻型エピタキシャル層12を1～3μmの厚さに成長させる。次に、n⁻型エピタキシャル層12の表面を熱酸化して酸化シリコン膜13を50～100nmの厚さに形成し酸化シリコン膜13の上に耐酸化膜として窒化シリコン膜14を100～200nmの厚さに堆積し、窒化シリコン膜14の上に多結晶シリコン膜15を50～100nmの厚さに堆積し、更に多結晶シリコン膜15の上に耐酸化膜として窒化シリコン膜16を100～200nmの厚さに堆積する。

【0015】次に、図1(b)に示すように、反応性イオンエッティング法により、窒化シリコン膜16、多結晶シリコン膜15、窒化シリコン膜14、酸化シリコン膜13を選択的に順次エッティングして素子形成領域上の積層膜パターンを形成する。ここで、窒化シリコン膜16、14及び酸化シリコン膜13のエッティングについては、CF₄系の反応ガスを、多結晶シリコン膜15のエッティングについてはSF₆系のガスを用いる。

【0016】次に、図1(c)に示すように、4層の積層膜パターンをマスクとしてn⁻型エピタキシャル層12を熱酸化し、フィールド酸化膜17を形成し、素子形成領域を区画する。このとき、多結晶シリコン膜13も側面から0.5～1.0μmの幅の部分が酸化され、酸化シリコン膜18が形成される。

【0017】次に、図1(d)に示すようにウェットエ

10

ッティング法を用いて窒化シリコン膜16及び酸化シリコン膜18を順次エッティングして除去した後、多結晶シリコン膜15をマスクとして窒化シリコン膜14をエッティングして除去する。次に、多結晶シリコン膜15を除去し、窒化シリコン膜14をマスクとして酸化シリコン膜13をエッティングして除去する。ここで、窒化シリコン膜16、14の除去にはリン酸(H₃PO₄)系溶液を、酸化シリコン膜18、13の除去にはフッ酸(HF)系溶液を、多結晶シリコン膜15を除去にはフッ硝酸(HNO₃+HF)系溶液を夫々用いる。

【0018】次に、図2(a)に示すように、窒化シリコン膜14を含む表面に多結晶シリコン膜19を0.2～0.3μmの厚さに堆積して全面にホウ素イオンをドープする。

【0019】次に、図2(b)に示すように、多結晶シリコン膜19の上に、化学的気相成長法により酸化シリコン膜20を300～500nmの厚さに堆積し、酸化シリコン膜20の上にフォトレジスト膜21を塗布してバーニングする。

【0020】次に、図2(c)に示すように、フォトレジスト膜21をマスクとして酸化シリコン膜20、多結晶シリコン膜19、窒化シリコン膜14、酸化シリコン膜13を順次エッティングして開孔部を設ける。ここで、酸化シリコン膜20及び窒化シリコン膜14のエッティングにはCF₄−H₂系のガスを多結晶シリコン膜19のエッティングにはCF₄−O₂、CF₃Cl、C₂F₆系等のガスを用いた反応性イオンエッティング法を用い、酸化シリコン膜13のエッティングにはウェットエッティング法を用いる。ここで、n⁻型エピタキシャル層12と多結晶シリコン膜19が接していないので充分に選択比をとることができるために、酸化シリコン膜13をウェットエッティングにより除去することができ、n⁻型エピタキシャル層12の表面にダメージを与えることはない。

【0021】次に、図2(d)に示すように、900～950℃のN₂雰囲気中で30～60分間熱処理し、多結晶シリコン膜19からn⁻型エピタキシャル層12中にp型不純物を拡散させ、グラフトベース領域22を形成する。次に、開孔部のn⁻型エピタキシャル層12及び多結晶シリコン膜19の表面を熱酸化して酸化シリコン膜24、25を形成する。次に、酸化シリコン膜20及び多結晶シリコン膜19をマスクとして開孔部のn⁻型エピタキシャル層12にホウ素イオンをイオン注入して真性ベース領域23を形成する。

【0022】次に、図3(a)に示すように、開孔部を含む表面に減圧化学的気相成長法により窒化シリコン膜26を200～300nmの厚さに堆積して、CF₄−O₂または、CF₄−H₂等のガスを用いた反応性イオンエッティング法により、異方性エッティングし、開孔部の側面にのみ窒化シリコン膜26を残す。

【0023】次に、図3(b)に示すように窒化シリコ

50

4

ン膜26をマスクとして、酸化シリコン膜25を除去しシリコン基板を露出させる。次に全面に多結晶シリコン膜28を300～500nmの厚さに堆積して、ヒ素等のn型不純物をイオン注入法によりドープした後多結晶シリコン膜28を選択的にエッチングして真性ベース領域23上にエミッタ電極を形成する。次に、900～950℃のN₂雰囲気中で10～30分間の熱処理を行ない真性ベース領域23の表面に多結晶シリコン膜28からn型不純物をドープしてエミッタ領域27を形成する。

【0024】図4(a)～(d)及び図5(a), (b)は本発明の第2の実施例を説明するための工程順に示した半導体チップの断面図である。

【0025】図4(a)に示すように、図1(a)～(d)により説明した第1の実施例と同様の工程により素子形成領域上に設けた酸化シリコン膜13及び窒化シリコン膜14の積層膜パターンを形成する。

【0026】次に、図4(b)に示すように、酸化シリコン膜13及び窒化シリコン膜14をマスクとして、n⁻型エピタキシャル層12の表面にホウ素イオンをイオン注入して不純物注入層を形成し、全面に多結晶シリコン膜19を300～500nmの厚さに堆積する。次に、900～950℃のN₂雰囲気中で30～60分間の熱処理を行ない不純物注入層よりp型の不純物を多結晶シリコン膜19中に拡散させる。このとき、同時にフィールド酸化膜17の表面からもp型の不純物が多結晶シリコン膜19中に拡散される。900℃の熱処理を30分間行うとホウ素は、多結晶シリコン膜中に0.65μm程度拡散する。このため、熱処理によりホウ素が窒化シリコン膜14のエッジ部分にかかる程度まで拡散されると同時にグラフトベース領域22が形成される。

【0027】次に、図4(c)に示すように、p型不純物を含んだ多結晶シリコン膜に対する選択性を持つKOH系の溶液で多結晶シリコン膜19をウェットエッチングし、p型不純物が拡散された多結晶シリコン膜を残して窒化シリコン膜14上の多結晶シリコン膜19のみを選択的に除去する。

【0028】次に、図4(d)に示すようにp型多結晶シリコン膜19の表面を熱酸化し、酸化シリコン膜29を形成する。

【0029】次に、図5(a)に示すように、酸化シリコン膜29をマスクとして窒化シリコン膜14及び酸化シリコン膜13をウェットエッチングした後熱酸化法に

よりn⁻エピタキシャル層12の表面に酸化シリコン膜30を50nmの厚さに形成し、酸化シリコン膜29をマスクとしてp型の不純物をn⁻型エピタキシャル層12の表面にイオン注入して真性ベース領域22を形成する。

【0030】次に、図5(b)に示すように、第1の実施例と同様の工程により開孔部の側壁に窒化シリコン膜26を設け、エミッタ電極としての多結晶シリコン膜28とエミッタ領域27を形成する。

【0031】

【発明の効果】以上説明したように本発明は、素子形成領域上に積層膜パターンを設けることにより、ベース領域、エミッタ領域にプラズマダメージやスパッタダメージが生ずることを防止し、トランジスタの特性を向上させるという効果を有する。.

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図である。

【図2】本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図である。

【図3】本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図である。

【図4】本発明の第2の実施例を説明するための工程順に示した半導体チップの断面図である。

【図5】本発明の第2の実施例を説明するための工程順に示した半導体チップの断面図である。

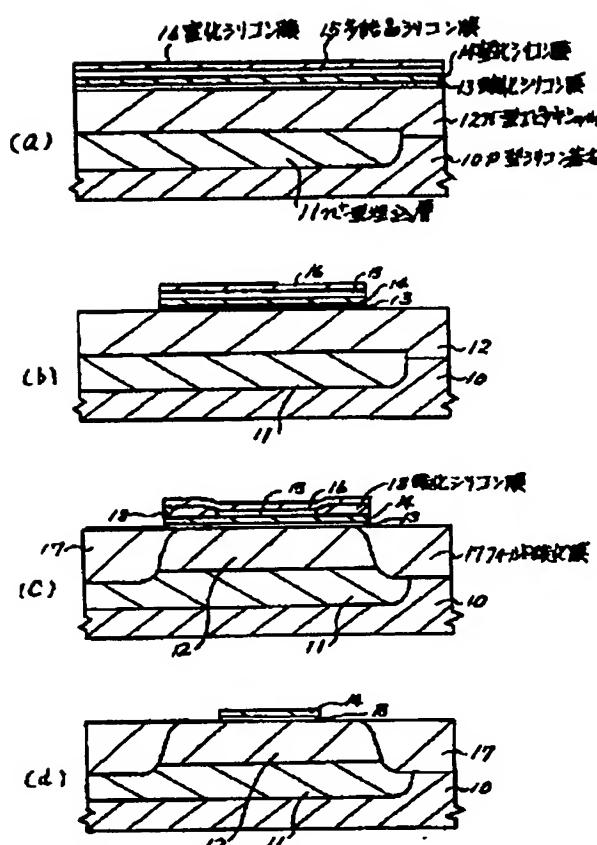
【図6】従来の半導体装置の製造方法を説明するための工程順に示した半導体チップの断面図である。

【符号の説明】

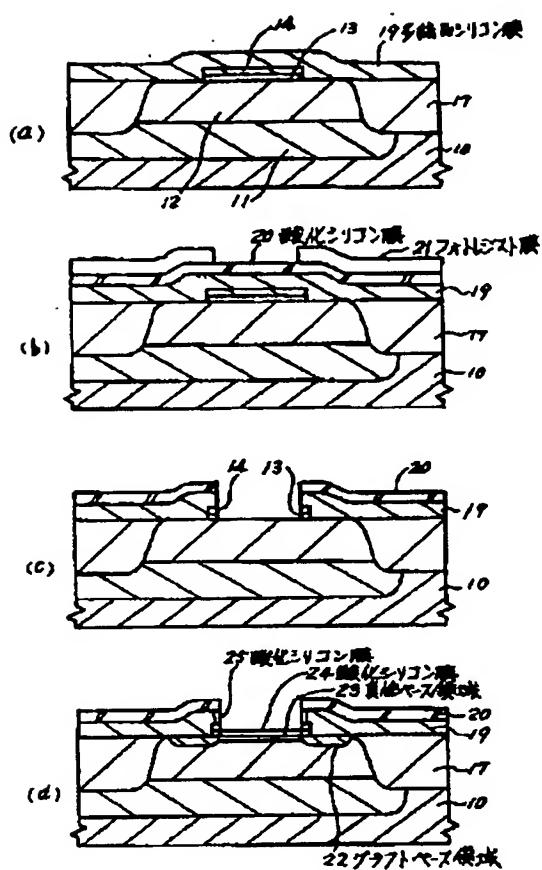
30	10	p型シリコン基板
	11	n ⁻ 型埋込層
	12	n ⁻ 型エピタキシャル層
	13, 18, 20, 24, 25, 29, 30, 32, 33	酸化シリコン膜
	14, 16, 26	窒化シリコン膜
	15, 19, 28	多結晶シリコン膜
	17	フィールド酸化膜
	21	フォトレジスト膜
	22	グラフトベース領域
40	23	真性ベース領域
	27	エミッタ領域
	31	p ⁻ 型多結晶シリコン膜

(5)

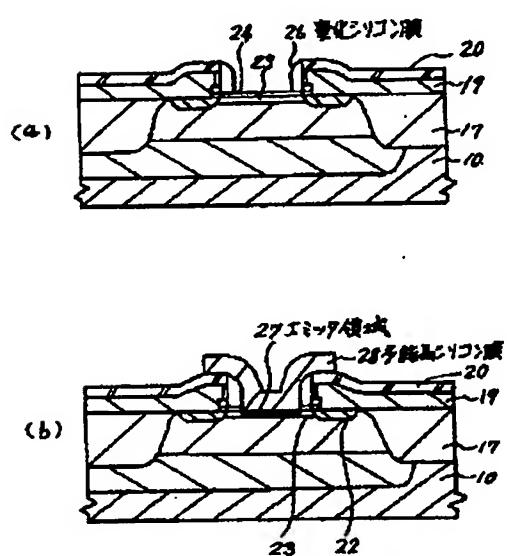
【図1】



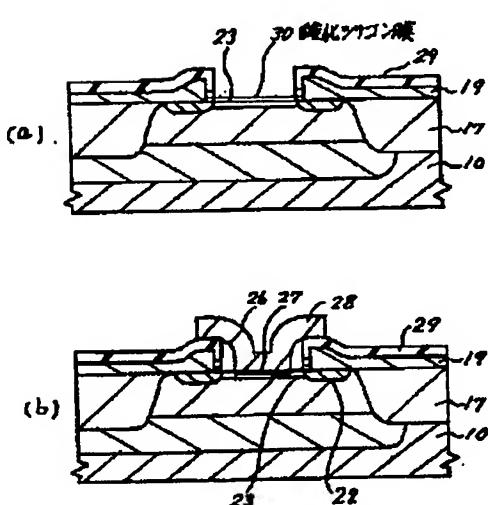
【図2】



【図3】

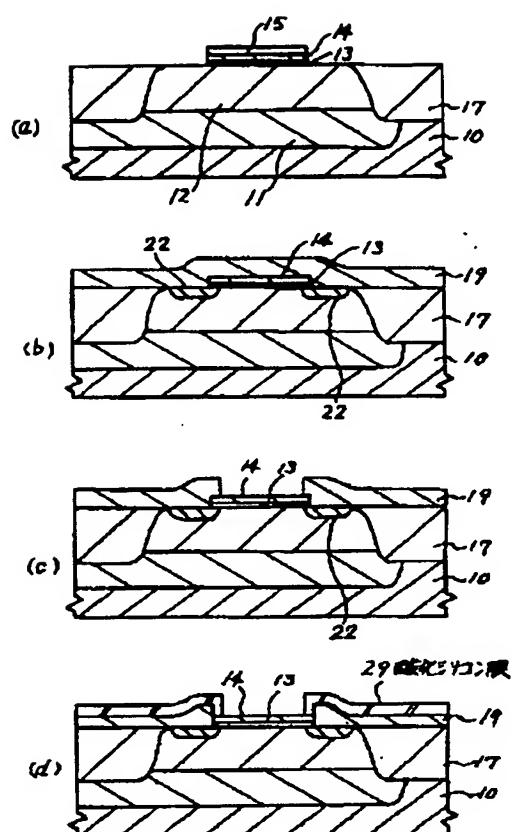


【図5】

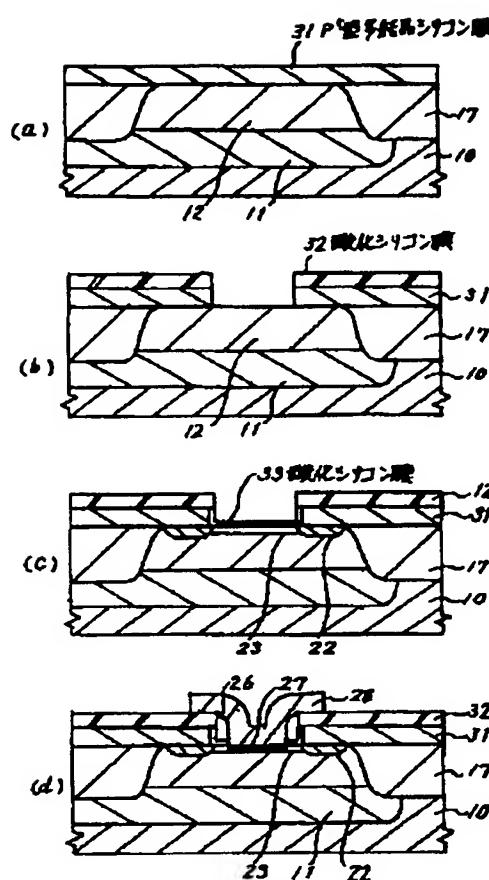


(6)

【図4】



【図6】



フロントページの続き

(51) Int.Cl.⁵

識別記号

府内整理番号

F I

技術表示箇所

H 01 L 27/06